

민족민족 1. 등록국어번호 시10229380호 (1999. 11. 01) 1주.

10-0229380

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)(51) Int. Cl.  
G09G 3/36(45) 등록일자 1999년 11월 09일  
(11) 등록번호 10-0229380  
(24) 등록일자 1999년 10월 16일(21) 출원번호 10-1997-0019142  
(22) 출원일자 1997년 05월 17일(65) 공개번호 1998-0083732  
(43) 공개일자 1998년 12월 05일(73) 특허권자 혼자전자주식회사 구자홍  
서울특별시 영등포구 여의도동 20번지  
(72) 발명자 안길범  
(74) 대리인 김영호

설명서 : 이상우

## (54) 디지털방식의 액정표시판 네트 구동회로

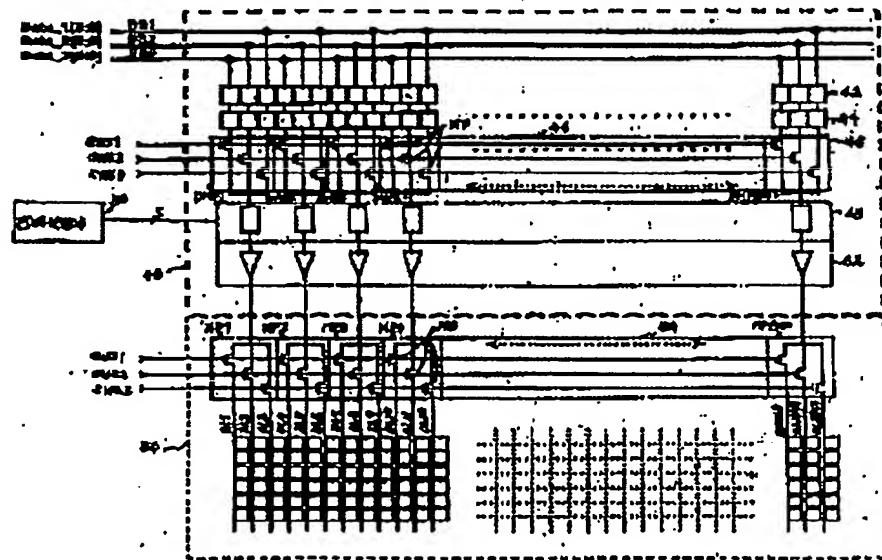
## 요약

본 발명은 디지털 영상신호에 의해 액정표시판 네트를 구동하여 화상이 액정표시판 네트에 표시되도록 하는 디지털 방식의 액정표시판 네트 구동회로에 관한 것이다.

이 디지털방식의 액정표시판 네트 구동회로는  $n$ 개의 화소데미터들을 입력하여 일시적으로 보관하기 위한 기억소자아래이와, 기억소자아래이로부터의  $n$ 개의 화소데미터를  $k$ 개씩 순차적으로 아날로그 화소신호로 변환하기 위한 디지털-아날로그변환기아래이와, 기억소자아래이로부터의  $n$ 개의 화소데미터중  $k$ 개의 화소데미터를 선택하고 그 선택된  $k$ 개의 화소데미터를 상기 디지털-아날로그변환기아래이쪽으로 전달하기 위한 디얼터를 선택하고 그 선택된 디얼터를 디지털-아날로그변환기아래이로 부터의  $k$ 개의 화소신호를 그 선택된  $k$ 개의 디얼터인쪽으로 전달하기 위한 멀티플렉서아래이를 구비한다.

상기 구성에 의하여, 디지털방식의 액정표시판 네트 구동회로는 회로구성을 간소화함은 물론 순간전력소모량을 감소시킬 수 있는 이점을 제공한다.

## 0.0.0.0



6-1

10-0229380

## 8-4-4

## 【발명의 명칭】

디지털방식의 액정표시판넬 구동회로

## 【도면의 간단한 설명】

제1도는 종래의 디지털방식신호용 액정표시판넬 구동회로가 적용된 액정 표시장치를 도시하는 도면.

제2도는 본 발명의 실시 예에 따른 디지털방식의 액정표시판넬 구동회로가 적용된 액정표시장치를 도시하는 도면.

제3도는 제2도에 도시된 구동회로의 각부분의 동작타이밍도.

## ◆ 도면의 주요부분에 대한 부호의 설명

10, 30 : 액정표시판넬

20, 40 : 액정표시판넬 구동회로

22, 42 : 제1 래치어레이

24, 44 : 제2래치어레이

26, 46 : D-변환기어레이

28, 52 : 출력증폭기어레이

46 : 디멀티플렉서어레이

50 : 감마보정부

54 : 멀티플렉서어레이

## 【발명의 상세한 설명】

본 발명은 액정표시판넬을 이용하는 표시장치에 관한 것으로, 특히 액정 표시판넬을 디지털(Digital) 영상신호에 의해 구동하는 디지털방식의 액정 표시판넬 구동회로에 관한 것이다.

최근, 영상매체는 시청자에게 고해상도의 화상을 제공하기 위한 방안으로 기존의 아날로그(Analogs) 영상신호 대신에 정보의 양측이 용이한 디지털 영상신호로 전송하는 방식으로 전환되어가고 있는 추세에 있다. 이에 따라, 영상표시 장치의 한 종료인 액정표시판넬도 기존의 아날로그 영상신호 대신 디지털 영상 신호에 의해 구동될 수 있어야 하는 입장에 처하게 되었다. 이를 위하여, 액정 표시판넬용 구동회로는 아날로그신호를 요구하는 액정표시판넬의 화소들을 구동하기 위한하도를 새롭게 구성되고 있다. 그 결과, 액정표시판넬 구동회로에는 기존의 아날로그방식의 액정표시판넬 구동회로와 디지털방식의 액정표시판넬 구동회로가 병존하고 있다.

이러한 액정표시판넬 구동회로는 액정표시판넬상의 화소를 각각에 영상신호에 해당하는 전압을 정확하게 이어가며 수 있는 충분한 신호공급시간을 확보하여야만 한다. 이를 해결하기 위하여, 아날로그방식의 액정표시판넬 구동회로에서는 1수평주사라인상의 화소들을 2개 이상의 일정한 것수의 순차적으로 구동하는 방식이나 일본국 공개특허公报 제1995-181933호에 제시되었다. 이 일본국 공개특허公报 제1995-181933호에 따르면, 아날로그방식의 액정표시판넬 구동회로는 지역소자들 이용하여 영상신호를 시연시키고 지역별 영상신호는 수평라인상의 중간부분으로부터 우측으로 이동하는 화소들을 그리고 지역되지 않은 영상신호는 좌측으로부터 중앙부분에, 다른 화소들을 순차적으로 이동하였다. 이와 같은 아날로그방식의 액정표시판넬 구동회로는 아날로그 영상신호를 화소의 구동전압으로써 그대로 이용하기 때문에 수평라인상의 화소들을 2개의 순차적으로 구동하여도 화소별로 충분한 신호공급시간을 확보할 수 있었다.

이와는 달리, 디지털방식 액정표시판넬 구동회로는 디지털 영상신호를 아날로그 영상신호로 변환하는 신호변환시간을 충분히 요구하기 때문에 상기 일본국 공개특허公报 제1995-181933호에 서와 같은 아날로그방식의 액정표시판넬 구동회로는 화소별 신호공급시간을 충분하게 확보할 수 없다. 이에 따라, 디지털방식의 액정표시판넬 구동회로는 1수평라인상의 화소들을 동시에 구동하도록 제1도에 도시된 바와 같이 구성되었다.

제1도를 참조하면, 액정표시판넬(10)은 각각 수직방향으로 배열된 600개의 화소들에 접속된 2400개의 대이터라인(예! 내지 미터)을 구비한다. 그리고 액정표시판넬(10)상의 600×2400개의 화소들을 구동하기 위한 구동회로(20)는 제1내지 제3데이터버스(Data Bus : 예! 내지 D83)에 접속된 제1래치어레이(22), 예! 제1 래치어레이(22)에 중속 접속되어 제2 래치어레이(24), 디지털-아날로그(Digital-Analog : D-A) 라 함) 변환기어레이(26) 및 출력증폭기어레이(28)로 구성된다. 제1 및 제2 래치어레이(22, 24)는 각각 2400개의 래치클로로 구성된다. 제1 래치어레이(22)에 포함된 2400개의 래치클은 800개씩 구분되어 제1 내지 제3데이터버스(예! 내지 D83)에 분산 접속된다. 아울러, 제1 래치어레이(22)에 포함된 2400개의 래치클은 3개 쪽 순차적으로 구동되어 제1 내지 제3데이터버스(예! 내지 D83)로부터 1수평라인분의 적색(이하 "R"이라 함), 녹색(이하 "G"라 함) 및 청색(이하 "B"라 함) 화소데이터를 입력한다. 그리고 제2 래치어레이(24)에 포함된 2400개의 래치클은 각각 제1 래치어레이(22)의 2400개의 래치들로부터의 화소데이터를 동시에 입력하여 D-A변환기어레이(26)쪽으로 전송된다. 그러면, D-A변환기어레이(26)은 제2 래치어레이(24)로부터의 2400개의 화소데이터를 모두 화소신호로 변환하고 그 변환되어온 2400개의 화소신호를 출력증폭기어레이(28)에 공급한다. 이를 위하여, D-A변환기어레이(26)는 도시하지 않은 감마보정부로부터의 일정한 것수(예를 들면 5개)의 변환소스신호들을 공통적으로 입력하는 2400개의 D-A변환기를로 구성된다. 이를 2400개의 D-A변환기어레이들은 각각 제2 래치어레이(24)의 해당래치로부터의 화소데이터의 분리기에 된다. 이를 위하여, 2400개의 D-A변환기어레이들은 각각 제2 래치어레이(24)의 해당래치로부터의 화소데이터를 분리기에 향해 전송된다. 마지막으로, 출력증폭기어레이(28)은 2400개의 화소신호들을 일정한 증폭율로 증폭하고 그 증폭된 2400개의 화소신호들을 액정표시판넬(10)의 2400개의 대이터라인(예! 내지 D2400)에 분산 공급한다. 이를 위하여, 출력증폭기어레이(28)도 D-변환기어레이(26)의 2400개의 D-A변환기어레이에 분산 접속된 2400개의 출력증폭기어레이를 구비한다.

이상과 같이, 종래의 디지털방식의 액정표시판넬 구동회로는 액정표시판넬상의 1수평라인분의 화소들을

10-0229380

동시에 구동하여 화소별 신호공급시간을 충분하게 확보할 수 있었다. 그러나, 종래의 디지털방식의 역정 표시판과 구동회로에서는 역정 표시판과의 수평라인에 포함된 화소의 수에 해당하는 0-A변환기들과 출력증폭기들이 사용되어야 하므로 그 회로구성이 복잡해지는 것을 물론이거니와 부피도 커지게 된다. 아울러, 종래의 디지털방식의 역정 표시판과 구동회로에서는 많은 수의 0-A변환기들과 출력증폭기들이 동시에 구동되어야 하므로 간접전력소모를 매우 커지게 한다.

따라서, 본 발명의 목적은 회로구성을 간소화 할 수 있고 순간 전력소모를 감소시킬 수 있는 디지털방식의 역정 표시판과 구동회로를 제공함에 있다.

본 발명의 다른 목적은 역정 표시판과의 인터라인의 수량을 감소시킬 수 있는 디지털방식의 역정 표시판과 구동회로를 제공함에 있다.

상기 목적을 달성하기 위하여, 본 발명에 따른 디지털방식의 역정 표시판과 구동회로는 수직방향으로 배열된  $n$ 개의 화소들에 공통적으로 접속되고 수평방향으로 나란하게 배열된  $k$ 개의 데미터라인을 가지는 역정 표시판과,  $n$ 개의 화소데미타를 입력하고 디지털시그널에 보관하는 기억소자어레이와, 기억소자어레이로부터의  $k$ 개의 화소데미타를  $k$ 개씩 순차적으로 마닐로그 화소신호로 변환하기 위한 디지털-아날로그변환기어레이와, 기억소자어레이와 디지털-아날로그변환기어레이 사이에 접속되어 기억소자어레이로부터의  $k$ 개의 화소데미타를  $k$ 개의 화소데미타를 선택하고 그 선택된  $k$ 개의 화소데미타를 상기 디지털-아날로그변환기어레이쪽으로 전달하기 위한 디지털클럭제어어레이, 디지털-아날로그변환기어레이와  $k$ 개의 데미터라인을 사이에 설치되어  $n$ 개의 데미터라인을 선택하고 디지털-아날로그변환기어레이로 부터의  $k$ 개의 화소신호를 그 선택된  $k$ 개의 데미터라인쪽으로 전달하기 위한 멀티플렉서어레이를 구비한다.

본 발명에 따른 디지털방식의 역정 표시판과 구동회로에서는 멀티플렉서어레이가 역정 표시판과 구동회로에 탑재되도록 하여 역정 표시판과의 인터라인의 수를 최소화 한다.

상기 목적을 외에 본 발명의 다른 목적 및 일정들은 첨부도면을 참조한 다음의 바람직한 실시 예에 대한 상세한 설명을 통하여 명확하게 드러나게 할 것이다.

이하, 본 발명의 바람직한 실시 예를 첨부한 제2도 및 제3도를 참조하여 상세하게 설명하기로 한다.

제2도를 참조하면, 본 발명의 실시 예에 따른 디지털방식의 역정 표시판과 구동회로를 포함하는 역정 표시 장치가 도시되어 있다. 제2도에 있어서, 역정 표시 장치는 역정 표시판(30)에 접속되어진 역정 표시판과 구동회로(40)를 구비한다. 역정 표시판(30)은 각각 수직방향으로 배열된 600개의 화소들에 공동적으로 접속된 2400개의 데미터라인(01 내지 0L2400)을 구비한다.

한편, 역정 표시판(30)상의 600×2400 개의 화소들을 구동하기 위한 구동회로(40)는 제1 내지 제3 데미터버스(081 내지 083)에 접속된 제1 래치어레이(42)와, 이 제1 래치어레이(42)에 접속 접속되어진 제2 래치어레이(44), 디멀티플렉서어레이(46) 및 0-A변환기어레이(48)를 구비한다. 제1 및 제2 래치어레이(42, 44)는 각각 2400개의 래치들을 구성된다. 제1 래치어레이(42)에 포함된 2400개의 래치들은 800개씩 구분되어 제1 내지 제3 데미터버스(081 내지 083)에 분산 접속된다. 아울러, 제1 래치어레이(42)에 포함된 2400개의 래치들은 3개씩 순차적으로 구동되어 제1 내지 제3 데미터버스(081 내지 083)로부터 1수평라인 본의 R, G 및 B 화소데미타를 입력한다. 그리고, 제2 래치어레이(44)에 포함된 2400개의 래치들은 각각 제1 래치어레이(42)의 2400개의 래치들을 부터의 화소데미타를 동시에 입력하여 디멀티플렉서어레이(46)쪽으로 전송한다.

디멀티플렉서어레이(46)는 제2 래치어레이(44)로부터의 2400개의 화소데미타를 800개씩 구분하여 3회에 걸쳐 0-A변환기어레이(48)쪽으로 전송한다. 이를 위하여, 디멀티플렉서어레이(46)는 각각 제1 내지 제3 걸체 0-A변환기어레이(48)쪽으로 부터의 제1 내지 제3 접속제어신호(SWS1 내지 SWS3)를 입력하는 800개의 디멀티플렉서(0MP1 내지 0MP800)로 구성된다. 이를 800개의 디멀티플렉서 각각은 제3도에서와 같이 1수평주기동안 순차적으로 1의 높리값을 가지게 되는 상기 제1 내지 제3 접속제어신호(SWS1 내지 SWS3)에 의해 제2 래치어레이(44)의 3개의 래치들을 부터의 3개의 화소데미타를 순차적으로 0-A변환기어레이(48)쪽으로 전송된다. 이를 위하여, 800개의 디멀티플렉서(0MP1 내지 0MP800) 각각은 제1 내지 제3 접속제어신호(SWS1 내지 SWS3)를 게이트쪽으로 분산입력하는 3조의 MOS 트랜지스터(MT)로 구성된다. 여기서, 3조의 MOS 트랜지스터(MT)는 화소데미타가 5비트인 경우 15개의 되어야 하니 편의상 3개로 표현되었다. 하나의 디멀티플렉서(0MP1 내지 0MP800)로 구성된다. 이를 800개의 디멀티플렉서 각각은 제2 래치어레이(44)에 포함된 3개의 래치들을 제1 내지 제3 접속제어신호(SWS1 내지 SWS3)에 의해 제2 래치어레이(44)의 3개의 래치들을 화소데미타의 비트별로 공동 접속된다. 아울러, 하나의 멀티플렉서(0MP)에 포함된 3조의 MOS 트랜지스터(MT)의 드레인들은 화소데미타의 비트별로 공동 접속된다. 이를 위하여, 800개의 디멀티플렉서(0MP1 내지 0MP800) 각각은 제1 내지 제3 접속제어신호(SWS1 내지 SWS3)를 게이트쪽으로 분산입력하는 3조의 MOS 트랜지스터(MT)로 구성된다. 여기서, 3조의 MOS 트랜지스터(MT)는 화소데미타가 5비트인 경우 15개의 되어야 하니 편의상 3개로 표현되었다. 하나의 디멀티플렉서(0MP1 내지 0MP800)로 구성된다. 이를 800개의 디멀티플렉서 각각은 제2 래치어레이(44)로부터의 800개의 화소데미타를 0-A 변환기어레이(48)쪽으로 전송된다. 그러면, 0-A변환기어레이(48)은 디멀티플렉서어레이(46)로부터의 800개의 화소데미타 모두를 화소신호로 변환한다. 이를 위하여, 0-A변환기어레이(48)는 감마보정부(50)로부터의 적어도 일정한 수의 (예를 들면, 5개)의 변환소스신호를 공동적으로 입력하는 800개의 0-A변환기로 구성된다. 이들 800개의 0-A변환기들은 각각은 해당 디멀티플렉서(0MP)로부터의 화소데미타의 높리값에 따라 감마보정부(50)로부터의 일정 갯수의 변환소스신호를 전달 또는 일부를 선택적으로 가산함에 의해 화소데미타를 마닐로그 화소신호로 변환한다. 결과적으로, 800개의 0-A 변환기는 각각은 1수평주사기간에 3개의 화소데미타를 마닐로그 화소신호로 변환하게 된다.

또한, 구동회로(40)는 0-A변환기어레이(48)와 역정 표시판(30)의 데미터라인들(0L1 내지 0L2400)의 사이에 적절 접속된 출력증폭기어레이(52)와 멀티플렉서어레이(54)를 구비한다. 출력증폭기어레이(52)은 0-A변환기어레이(48)로부터의 800개의 화소신호들을 일정한 증폭률로 증폭하고 그 증폭된 800개의 화소들을 멀티플렉서어레이(54)쪽으로 출력한다. 이를 위하여, 출력증폭기어레이(52)는 0-A변환기어레이(48)의 800개의 0-A변환기들에 분산접속된 800개의 출력증폭기들로 구성된다. 마지막으로, 멀티플렉서어레이(54)는 출력증폭기어레이(52)로부터의 800개의 증폭된 화소신호를 2400개의 데미터라인(01 내지 0L2400)에 800개의 데미터라인 씩 3회에 걸쳐 순차적으로 전송한다. 이를 위하여, 멀티플렉서어레이(54)는 각각 제1 내지 제3 제어라인(SL1 내지 SL3)로부터의 제1 내지 제3 접속제어신호(SWS1 내지 SWS3)를 입력하는 800개의 멀티플렉서(0MP1 내지 0MP800)로 구성된다. 이를 800개의 멀티플렉서(0MP1 내지 0MP800) 각각은 제3도에

6-3

10-0229380

서와 같이 1수평주기동안 순차적으로 "1"의 논리값을 가지게 되는 상기 제1 내지 제3 절환제어신호(SWS1 내지 SWS3)에 의해 출력증폭기어레이(52)로부터의 화소신호를 3개의 데이터라인(M)에 순차적으로 전송한다. 이를 위하여, 800개의 멀티플렉서를(M)에 내지 No800) 각각은 제1 내지 제3 절환제어신호(SWS1 내지 SWS3)를 계이트역으로 분산입력하는 3개의 MOS 트랜지스터(NS)로 구성된다. 하나의 멀티플렉서(M)에 포함된 3개의 MOS 트랜지스터(NS)의 소오스를 출력증폭기어레이(52)에 포함된 하나의 출력증폭기의 출력단자에 공통적으로 접속되고, 이들의 드레인들은 3개의 데이터라인(M)에 분산접속된다. 아울러, 하나의 멀티플렉서(M)에 포함된 3개의 MOS 트랜지스터(NS)는 제1 내지 제3 절환제어신호(SWS1 내지 SWS3)에 의해 1수평기간동안 서로 순차적으로 텐-온되어 출력증폭기어레이(52)에 포함된 해당 출력증폭기로부터의 화소신호를 3개의 데이터라인(M)에 분산공급한다.

상용한 비와 같이, 본 발명에 따른 디지털방식의 역정표시판넬 구동회로는 1라인분의 화소데이터를 일시 적으로 보관하는 레치어레이와 화소데이터를 화소신호로 변환하는 M-A변환기어레이 사이에 디멀티플렉서 어레이를 그리고, 출력 증폭기어레이와 역정표시판넬의 데이터라인을 사이에 멀티플렉서를 설치함으로써 M-A 변환기와 출력증폭기의 전수율 데이터라인의 수의 절반, 상분의 일 또는 그 이하로 줄일 수 있다. 이에 따르면, 본 발명에 따른 디지털 방식의 역정표시판넬 구동회로는 회로구성을 간소화함을 끝은 순간 전력 소모량을 줄일 수 있다. 아울러, 본 발명에 따른 디지털 방식의 역정표시판넬 구동회로는 멀티플렉서를 역정표시판넬에 탑재시켜 역정표시판넬의 인클라인의 수량을 감소시킬 수 있다.

이상 설명한 내용을 통해 달업자라면 본 발명의 기술사상을 일락하지 아니하는 범위에서 다양한 변경, 일정미 가능성을 할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의하여 정하여져야만 한다.

#### (57) 청구의 범위

##### 청구항 1

수직 방향으로 배열된 n개의 화소들에 공통적으로 접속되고 수평방향으로 나란하게 배열된 n개의 데이터라인을 가지는 역정표시판넬과.

n개의 화소데이터를 입력하여 일시적으로 보관하기 위한 기억소자어레이와,

상기 레치어레이로부터의 상기 n개의 화소데이터를 k개씩 순차적으로 아날로그 화소신호로 변환하기 위한 디지털-아날로그변환기어레이와,

상기 기억소자어레이와 상기 디지털-아날로그변환기어레이 사이에 접속되어 상기 기억소자어레이로부터의 상기 n개의 화소데이터를 k개의 화소데이터를 선택하고 그 선택된 k개의 화소데이터를 상기 디지털-아날로그변환기어레이쪽으로 전달하기 위한 디멀티플렉서어레이와,

상기 디지털-아날로그변환기어레이와 상기 k개의 데이터라인을 사이에 설치되어 상기 n개의 데이터라인 중 k개의 데이터라인을 선택하고, 상기 디지털-아날로그변환기어레이로부터의 상기 k개의 화소신호를 그 선택된 k개의 데이터라인쪽으로 전달하기 위한 멀티플렉서어레이를 구비한 것을 특징으로 하는 디지털방식의 역정표시판넬 구동회로.

##### 청구항 2

###### 제1항에 있어서,

상기 디지털-아날로그변환기어레이와 상기 멀티플렉서어레이 사이에 설치되어 상기 디지털-아날로그변환기어레이로부터 상기 멀티플렉서어레이쪽으로 전송되는 상기 k개의 화소신호를 활용하기 위한 출력증폭기 어레이를 추가로 구비하는 것을 특징으로 하는 디지털방식의 역정표시판넬 구동회로.

##### 청구항 3

###### 제1항 또는 제2항에 있어서,

상기 멀티플렉서어레이는 상기 역정표시판넬의 인클라인의 수를 최소화하도록 상기 역정표시판넬에 탑재된 것을 특징으로 하는 디지털방식의 역정표시판넬 구동회로.

##### 청구항 4

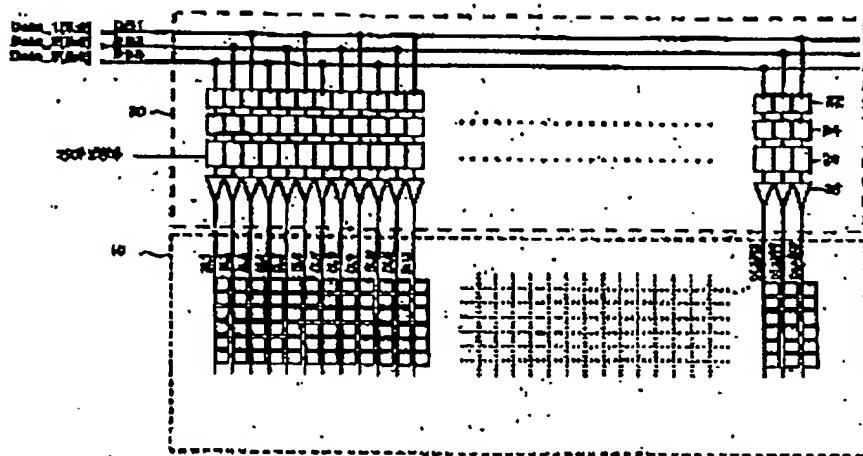
###### 제3항에 있어서,

상기 디멀티플렉서어레이에 포함된 k개의 디멀티플렉서와 상기 멀티플렉서어레이에 포함된 k개의 멀티플렉서가 MOS 트랜지스터들로 구성되어진 것을 특징으로 하는 디지털 방식의 역정표시판넬 구동회로.

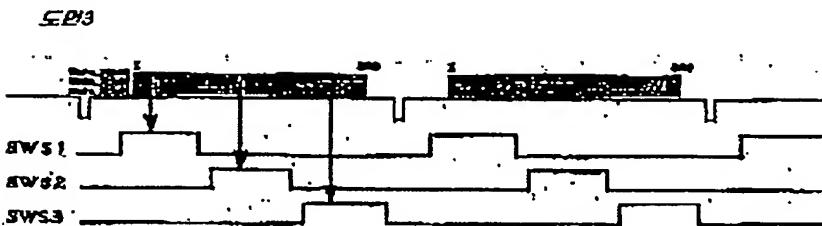
##### 도면

10-0229380

581



10-0229380



6-9

2006年 6月19日(月) 17:26/ 複数17:23/文書番号6700047637 P 13

FROM 半導体リサイクルの問題

BEST AVAILABLE COPY